

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H01L 21/31

H01L 21/283 H01L 21/768

H01L 23/52 H01L 27/02



# [12] 发明专利申请公开说明书

[21] 申请号 01130382.4

[43] 公开日 2003 年 5 月 28 日

[11] 公开号 CN 1420530A

[22] 申请日 2001.11.21 [21] 申请号 01130382.4

[71] 申请人 联华电子股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 杨能辉 蔡正原 吴欣昌

[74] 专利代理机构 北京市柳沈律师事务所

代理人 封新琴 巫肖南

权利要求书 2 页 说明书 5 页 附图 2 页

[54] 发明名称 一种氧掺杂硅碳化合物蚀刻停止层

[57] 摘要

本发明揭露一种应用于双镶嵌内连线的氧掺杂硅碳化合物蚀刻停止层。本发明一种集成电路结构包含有：一底层；一第一介电层，形成于该底层上；一蚀刻停止层(etch stop layer)，形成于该第一介电层上；以及一第二介电层，形成于该蚀刻停止层上。其中该蚀刻停止层系由氧掺杂硅碳化合物(oxygen-doped SiC)所构成，且该第二介电层系利用化学气相沉积(CVD)制程形成。氧掺杂硅碳化合物具有低介电常数( $k < 4.2$ )、高击穿电压以及极佳的薄膜稳定性，因此可以提升元件可靠度以及操作效能。

ISSN 1008-4274

知识产权出版社出版

1. 一种集成电路, 其包含有:
  - 一底层;
  - 5 一第一介电层, 形成于该底层上;
  - 一蚀刻停止层, 形成于该第一介电层上; 以及
  - 一第二介电层, 形成于该蚀刻停止层上;
  - 其中该蚀刻停止层系由氧掺杂硅碳化合物所构成。
2. 如权利要求1所述的集成电路, 其中该蚀刻停止层的厚度约为 500  
10 埃。
3. 如权利要求1所述的集成电路, 其中该蚀刻停止层系利用一电浆加强化学气相沉积制程形成。
4. 如权利要求1所述的集成电路, 其中该第一介电层以及该第二介电层的介电常数皆小于 3.2。
- 15 5. 如权利要求1所述的集成电路, 其中该第二介电层系为一化学气相沉积薄膜。
6. 如权利要求5所述的集成电路, 其中该第二介电层系利用甲基硅烷类气体作为前体所沉积而成。
7. 如权利要求6所述的集成电路, 其中该甲基硅烷类气体包含有甲基硅  
20 烷  $\text{Si}(\text{CH}_3)_3\text{H}$ 、二甲基硅烷  $\text{Si}(\text{CH}_3)_2\text{H}_2$ 、三甲基硅烷  $(\text{Si}(\text{CH}_3)_3)_3\text{H}$  以及四甲基硅烷  $\text{Si}(\text{CH}_3)_4$ 。
8. 如权利要求1所述的双镶嵌内连线结构, 其中该蚀刻停止层的介电常数约为 4.1。
9. 如权利要求1所述的双镶嵌内连线结构, 其中在停止层厚度为 500  
25 埃的条件下, 该蚀刻停止层的击穿电压约为 5.0MV/cm。
10. 一种双镶嵌内连线结构, 其包含有:
  - 一底层, 其上形成有一导电层;
  - 一第一介电层, 形成于该底层上;
  - 一停止层, 形成于该第一介电层上;
  - 30 一介层洞, 形成于该第一介电层以及该停止层中, 并暴露出部分该导电层;

一第二介电层，形成于该停止层上；以及  
一沟渠线，形成于该介电层上方的该第二介电层中，用来容纳一金属导线；

其中该停止层系由氧掺杂硅碳化合物 SiC 所构成，且该第二介电层系利用化学气相沉积制程形成。

11. 如权利要求 10 所述的双镶嵌内连线结构，其中该停止层系利用一电浆加强化学气相沉积制程形成。

12. 如权利要求 10 所述的双镶嵌内连线结构，其中该第二介电层系利用甲基硅烷类气体作为前体所沉积而成。

10 13. 如权利要求 12 所述的双镶嵌内连线结构，其中该甲基硅烷类气体包含有甲基硅烷  $\text{Si}(\text{CH}_3)\text{H}_3$ 、二甲基硅烷  $\text{Si}(\text{CH}_3)_2\text{H}_2$ 、三甲基硅烷  $\text{Si}(\text{CH}_3)_3\text{H}$  以及四甲基硅烷  $\text{Si}(\text{CH}_3)_4$ 。

14. 如权利要求 10 所述的双镶嵌内连线结构，其中该停止层的介电常数约为 4.1。

15 15. 如权利要求 10 所述的双镶嵌内连线结构，其中在停止层厚度为 500 埃的条件下，该停止层的击穿电压约为 5.0MV/cm。

## 一种氧掺杂硅碳化合物蚀刻停止层

5

## 发明的领域

本发明提供一种集成电路结构(integrated circuit), 尤指一种氧掺杂(oxygen-doped)硅碳化合物蚀刻停止层, 特别应用于双镶嵌金属内连线制程(dual-damascene interconnect applications)。

10

## 背景说明

近年来, 随着对高速元件(high speed)的需求增加, 低介电常数材料与低导电性物质的发展也持续进行。基本上, 内连线结构的效能与速度可以 RC 延迟(RC delay)来表示, 其中 R 代表导线的电阻值(resistance), C 代表介电材料在两导线之间的电容值(capacitance)。因此, 使用具有较低介电常数的介电材料即可降低金属间(inter-metal)电容, 从而产生较低的 RC 延迟以及较高的操作效能。

双镶嵌(dual damascene)制程是目前 0.25 微米以下高速逻辑元件制作所广泛使用的金属内连线技术。在双镶嵌制程中, 金属内连线系被定义于一预先蚀刻于一介电层中的沟渠中。目前最常使用于双镶嵌制程的金属导线材料为铜, 而扮演连接不同层导线角色的接触窗插塞也同时与铜导线一同形成于一介层洞(via hole)中。如同习知该项技艺者所知, 典型的双镶嵌技术包括有: (1)介层洞优先(via-first)制程; (2)自行对准(self-aligned)制程; 以及(3)沟渠优先(trench-first)制程。

请参阅图 1, 图 1 为习知方法在形成双镶嵌结构之前的介电层结构。如图 1 所示, 不论采用上述何种制程, 通常都会在上下两层介电层 22 以及 24 中间沉积一蚀刻停止层 23。介电层 22、24 以及蚀刻停止层 23 构成一传统的双镶嵌堆叠介电层结构 30。在此堆叠介电层结构 30 的下方通常为一底层介电层 10, 其包含有一以一阻障导 21 所覆盖的金属导线层 12。

请参阅图 2, 图 2 为习知方法在形成双镶嵌结构之后的介电层结构。如

图2所示,藉由蚀刻停止层23,可以分别于介电层22中形成一介层洞结构41以及于介电层24中形成一沟渠结构42。介层洞结构41穿过蚀刻停止层23、介电层22及阻障层21,通达位于底层介电层10中的金属导线层12。

- 习知方法一般采用氮化硅作为蚀刻停止层23的材料。然而,由于氮化硅的介电常数过高( $>6.5$ )将会导致金属内连线操作速度下降。Furumura等人,在美国专利第5,103,285号中,提出利用硅碳化合物(silicon carbide, SiC)(其介电常数约为4-5之间)作为一硅基材与一金属导线层的阻障材料。在美国专利第5,818,071号中,Mark等人则进一步将非晶硅(amorphous)硅碳化合物阻障材料应用在金属导线与介电层之间,以防止金属的扩散。
- 虽然硅碳化合物具有低介电常数,然而,它在应用上仍具有一些缺点,包括:(1)低击穿电压(breakdown voltage);(2)高的漏电流;以及(3)不稳定的薄膜特性。为此,近年来某些研究发现在硅碳化合物中掺杂氮元素,可以改善这些特性。然而,在硅碳化合物中掺杂氮元素却可能产生胺类(amine)化合物,导致深紫外线(deep UV)光阻的足部效应(footing effect)以及接触窗障蔽(via blinding)。

### 发明概述

- 因此,本发明的主要目的在于提供一种具有高效能(high performance)的金属内连线结构。

本发明的另一目的在于提供一种氧掺杂硅碳化合物层的应用,以提高金属内连线的可靠度(high reliability)。

- 依据本发明的目的,本发明的较佳实施例系揭露一种集成电路结构,其包含有:一底层;一第一介电层,形成于该底层上;一蚀刻停止层(etch stop layer),形成于该第一介电层上;以及一第二介电层,形成于该蚀刻停止层上;其中该蚀刻停止层系由氧掺杂硅碳化合物(oxygen-doped SiC)所构成,且该第二介电层系利用化学气相沉积(CVD)制程形成。

- 依据本发明的目的,本发明的另一较佳实施例系揭露一种双镶嵌内连线结构,其包含有:一底层,其上形成有一导电层;一第一介电层,形成于该底层上;一停止层(stop layer),形成于该第一介电层上;一介层洞(via hole),形成于该第一介电层以及该停止层中,并暴露出部分该导电层;一第二介电

层，形成于该停止层上；以及一沟渠线，形成于该介层洞上方的该第二介电层中，用来容纳一金属导线；其中该停止层系由氧掺杂硅碳化合物(oxygen-doped SiC)所构成，且该第二介电层系利用化学气相沉积(CVD)制程形成。

5

## 发明的详细说明

本发明的技术特征在于采用一氧掺杂硅碳化合物层(oxygen-doped SiC layer)作为蚀刻停止层，特别应用于双镶嵌金属内连线制程。氧掺杂硅碳化合物层具有低介电常数( $k < 4.2$ )、高击穿电压以及极佳的薄膜稳定性，因此  
10 可以提升元件可靠度以及操作效能。

请参阅图 3，图 3 为本发明堆叠介电层 300 在完成双镶嵌结构 140 之后的剖面示意图。如图 3 所示，堆叠介电层 300 包含有一第一介电层 220 形成于一阻障层 210 上、一厚度约为 500 埃(A)的蚀刻停止层 230 形成于第一介电层 220 上以及一第二介电层 240 形成于蚀刻停止层 230 上。阻障层 210 系形  
15 成于一底层 100 上。底层 100 中包含有一导电层 120。双镶嵌结构 140 包含有一沟渠线构造 142 形成于第二介电层 240 中，以及一介层洞 141 形成于蚀刻停止层 230、第一介电层 220 以及阻障层 210 中。介层洞 141 露出一部分导电层 120。

双镶嵌结构 140 的作法可采用接触窗优先(via-first)制程、部分接触窗  
20 (partial-via)制程、自行对准(self-aligned)制程、沟渠优先(trench-first)制程或者其它镶嵌金属内连线制程。形成双镶嵌结构 140 的技术为习知该项技艺者所熟知，且并非本发明所要揭露的重点，因此不再详加赘述。相关的双镶嵌制程可参考美国专利第 6,197,681 号以及美国专利第 6,004,188 号。

第一介电层 220 以及第二介电层 240 的材料可以选自下列组合之一：氟  
25 硅玻璃(fluorinated silicon glass, FSG)、HSQ、MSQ(methyl silsesquioxane)、黑钻石(black diamond)材料、珊瑚(Coral)、多孔硅玻璃(porous silica)、不定形氟碳高分子(amorphous fluorocarbon polymers)、聚酰亚胺系高分子(fluorinated polyimide)、铁氟龙(PTFE)、聚亚芳基醚(poly(arylene ether))、苯并环丁烯(benzocyclobutene)、SILK™以及 FLARE™等等。一般建议第一介电层 220 以及第二介电层 240 的介电常数在 3.2 以下较佳。在本发明的  
30 较佳实施例中，第二介电层 240 系利用化学气相沉积(CVD)制程沉积形成，

采用的前体(precursor)气体包括甲基硅烷类,例如甲基硅烷(methylsilane,  $\text{Si}(\text{CH}_3)\text{H}_3$ )、二甲基硅烷(2-methylsilane,  $\text{Si}(\text{CH}_3)_2\text{H}_2$ )、三甲基硅烷(3-methylsilane,  $\text{Si}(\text{CH}_3)_3\text{H}$ )以及四甲基硅烷(4-methylsilane,  $\text{Si}(\text{CH}_3)_4$ )。

金属导线层 120 系以铜所构成。形成铜金属导线层的作法系利用习知技术,例如物理气相沉积(physical vapor deposition, PVD)、电镀(electroplating)、溅镀(sputtering)、或电子束蒸镀(electron beam evaporation)等等。

形成蚀刻停止层 230 的方法系利用一电浆加强化学气相沉积(plasma-enhanced chemical vapor deposition, PECVD)制程形成。PECVD 的制程参数,包括气体、操作压力、温度、以及反应时间,可视不同机台类型或制程需要作调整。举例来说,沉积蚀刻停止层 230 的制程参数包括:三甲基硅烷流量约为 600sccm;氧气流量约为 30sccm;高频无线电波频率(HFRF)约为 150 瓦特(Watts)左右;操作压力约为 0.5 至 5 托耳,较佳为 2 托耳(Torr);以及温度约为 350 至 450℃,较佳为 400℃。在本发明的其它实施例中,制程前体气体可以采用甲基硅烷、二甲基硅烷、或三甲基硅烷等等。

请参阅表一,表一为本发明蚀刻停止层( $500\text{\AA} \text{SiO}_x\text{C}_y$ )的电性测试表。在表 1 中同时与相同厚度的未掺杂(undoped)硅碳化合物蚀刻停止层的电性作比较。如表 1 所示,本发明蚀刻停止层可达到介电常数约为 4.1,击穿电压约为 5.0MV/cm,漏电流约为  $1.01\text{E}^{-9}$  安培每平方公分( $\text{A}/\text{cm}^2$ )。相较于未掺杂硅碳化合物层的电性,包括:介电常数约为 4.5,击穿电压约为 3.5MV/cm,漏电流约为  $1.3\text{E}^{-8}$  安培每平方公分( $\text{A}/\text{cm}^2$ ),本发明蚀刻停止层显然具有较佳的电性。

以上所述仅为本发明的较佳实施例,凡依本发明权利要求范围所做的均等变化与修饰,皆应属本发明专利的涵盖范围。

25

30

表 1 为本发明蚀刻停止层(500Å SiO<sub>2</sub>C<sub>y</sub>)的电性量测值。

	氧掺杂蚀刻停止层 (500 埃 SiO <sub>2</sub> C <sub>y</sub> )	未掺杂硅碳化合物层 (500 埃 SiC)
介电常数(k)	4.1	4.5
击穿电压(MV/cm)	5.0	3.5
漏电流(@1MV/cm)	1.01E-9	1.3E-8
折射率(RI)	1.84	1.88
硬度(GPa)	>10	5-6
均匀度(U%@1sigma)	1.43	2.05

## 图示的简单说明

5

图 1 为习知方法在形成双镶嵌结构之前的堆叠介电层结构；

图 2 为习知方法在形成双镶嵌结构之后的堆叠介电层结构；

图 3 为本发明堆叠介电层在完成双镶嵌结构之后的剖面示意图；

10

## 图示的符号说明

- |               |           |
|---------------|-----------|
| 10 底层         | 12 导电层    |
| 21 阻障层        | 22 第一介电层  |
| 23 蚀刻停止层      | 24 第二介电层  |
| 15 30 堆叠介电层结构 | 41 介层洞    |
| 42 沟渠线        | 100 底层    |
| 120 导电层       | 140 双镶嵌结构 |
| 141 介层洞       | 142 沟渠线   |
| 210 阻障层       | 220 第一介电层 |
| 20 230 蚀刻停止层  | 240 第二介电层 |
| 300 堆叠介电层结构   |           |



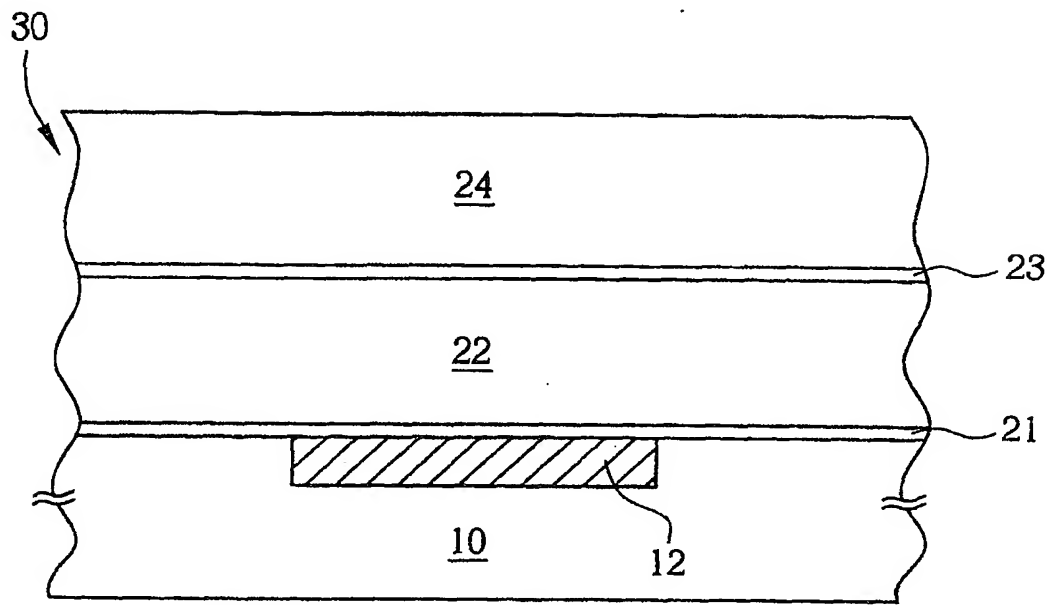


图 1

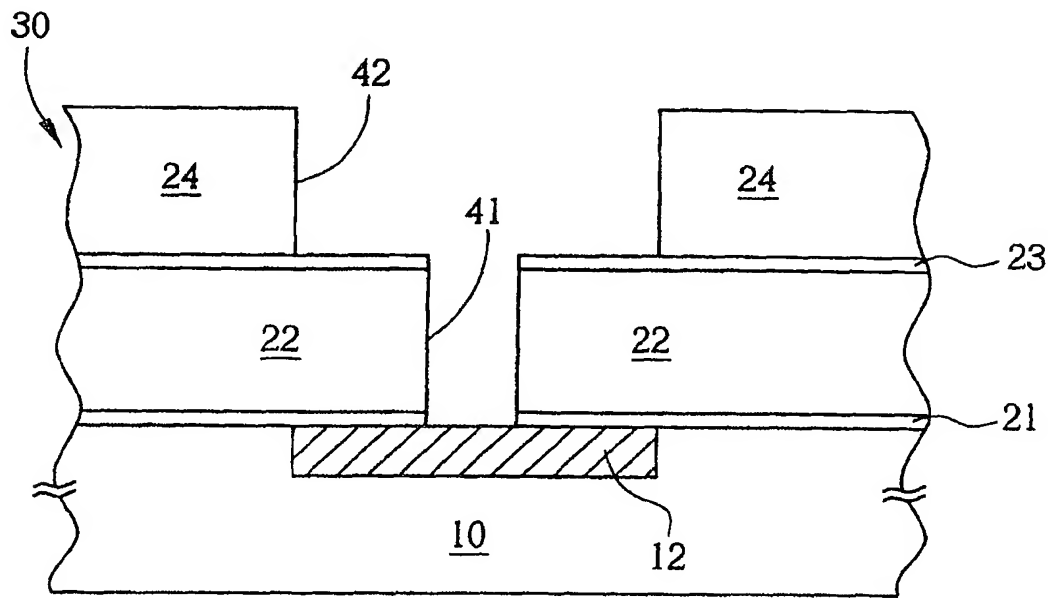


图 2

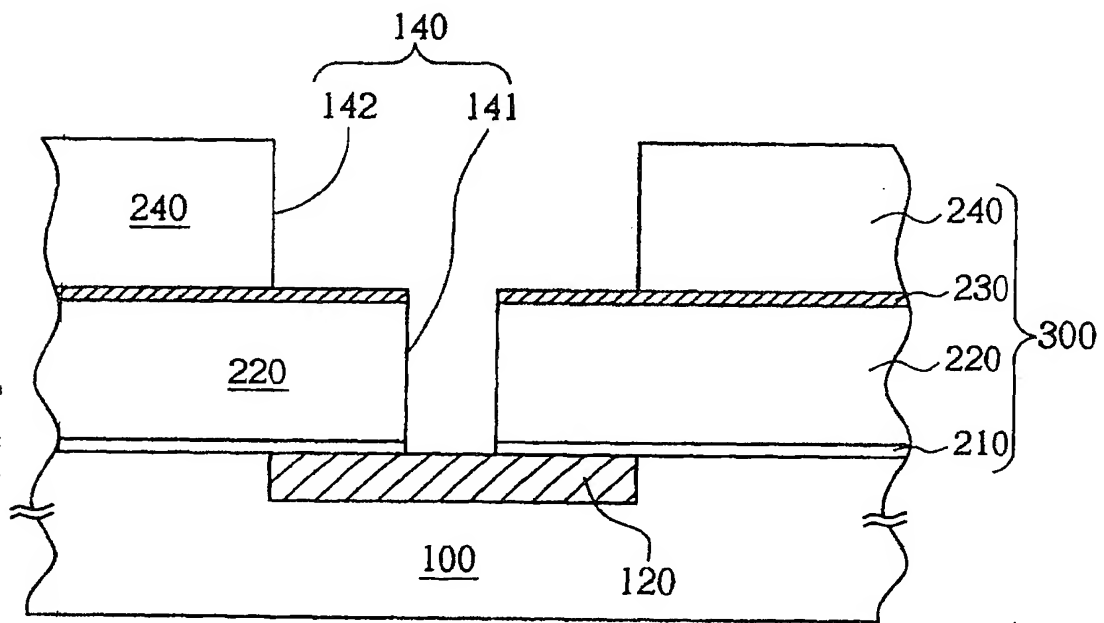


图 3

## Oxygen doped Si-C compound etching stop layer

**Publication number:** CN1420530

**Publication date:** 2003-05-28

**Inventor:** YANG NENGHUI (CN); CAI ZHENGYUAN (CN); WU XINCHANG (CN)

**Applicant:** LIANHUA ELECTRONIC CO LTD (CN)

**Classification:**

**- international:** *H01L21/283; H01L21/31; H01L21/768; H01L23/52; H01L27/02; H01L21/02; H01L21/70; H01L23/52; H01L27/02; (IPC1-7): H01L21/31; H01L21/283; H01L21/768; H01L23/52; H01L27/02*

**- european:**

**Application number:** CN20011030382 20011121

**Priority number(s):** CN20011030382 20011121

**Report a data error here**

### Abstract of **CN1420530**

An integrated circuit structure is sequentially composed of a substrate, the first dielectric layer, an etch stop layer which is oxygen-doped SiC and has low dielectric constant, high breakthrough voltage and very good film stability, and the second dielectric layer formed by chemical vapour deposition (CVD). Its advantages are high reliability and high operating efficacy.

Data supplied from the **esp@cenet** database - Worldwide